

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-347623

(43)Date of publication of application : 15.12.2000

(51)Int.Cl.

G09G 3/30

G09G 3/20

(21)Application number : 11-219366

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 03.08.1999

(72)Inventor : MAEDA HIROSHI

(30)Priority

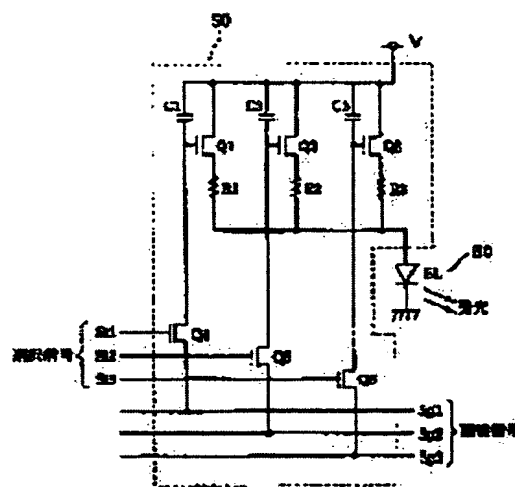
Priority number : 11094343 Priority date : 31.03.1999 Priority country : JP

(54) ELECTROLUMINESCENCE DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electroluminescence display device capable of simplifying manufacturing processes, easily adjusting a current value flowing in an electroluminescence element, and stabilizing operation.

SOLUTION: This electroluminescence display device comprises a display part including single pixel electroluminescence elements for a plurality of pixels. A driving circuit 50 for driving the single pixel electroluminescence element 30 is structured as follows; the driving circuit 50 includes a plurality of driving transistors Q1, Q2, Q3 for driving the single pixel electroluminescence element 30 and resistors R1, R2, R3 for restricting a current value flowing to the electroluminescence element respectively connected with the driving transistors Q1, Q2, Q3 in series. Display of a plurality of gradations is provided by selecting and operating each of the driving transistors Q1, Q2, Q3.



LEGAL STATUS

[Date of request for examination]

26.09.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-347623

(P2000-347623A)

(43) 公開日 平成12年12月15日 (2000. 12. 15)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 9 G 3/30		G 0 9 G 3/30	K 5 C 0 8 0
3/20	6 4 1	3/20	6 4 1 D
	6 4 2		6 4 2 B
			6 4 2 C

審査請求 未請求 請求項の数13 O L (全 7 頁)

(21) 出願番号 特願平11-219366

(22) 出願日 平成11年 8 月 3 日 (1999. 8. 3)

(31) 優先権主張番号 特願平11-94343

(32) 優先日 平成11年 3 月 31 日 (1999. 3. 31)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿 2 丁目 4 番 1 号

(72) 発明者 前田 浩

長野県諏訪市大和 3 丁目 3 番 5 号 セイコ

ーエプソン株式会社内

(74) 代理人 100079108

弁理士 稲葉 良幸 (外 2 名)

F ターム (参考) 5C080 AA06 BB05 DD05 EE29 FF03

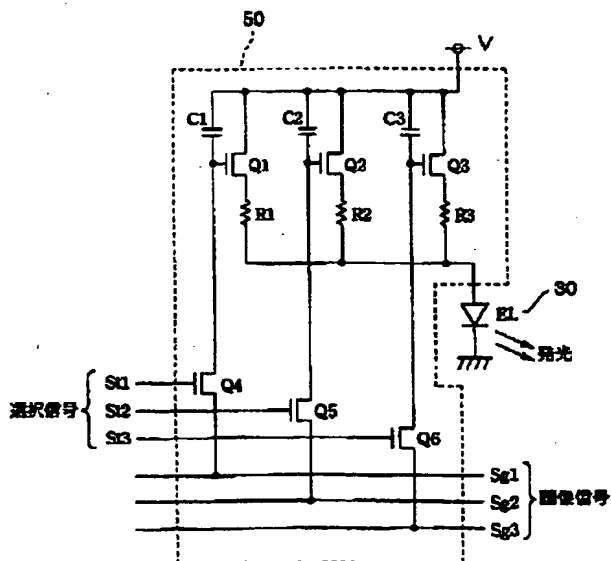
FF09 JJ02 JJ03 JJ06

(54) 【発明の名称】 エレクトロルミネセンス表示装置

(57) 【要約】

【課題】 製造工程の簡素化を図りエレクトロルミネセンス素子に流れる電流値の調整を簡単にし動作を安定させたエレクトロルミネセンス表示装置の提供。

【解決手段】 このエレクトロルミネセンス表示装置 1 は、1 画素のエレクトロルミネセンス素子を複数画素分配置して表示部を構成してなる。1 画素分エレクトロルミネセンス素子 30 を駆動する駆動回路 50 は次のように構成されている。すなわち、駆動回路 50 は、1 画素分のエレクトロルミネセンス素子 30 を駆動する複数の駆動トランジスタ Q1、Q2、Q3 と、各駆動トランジスタ Q1、Q2、Q3 にそれぞれ直列接続され前記エレクトロルミネセンス素子への電流値を規制する抵抗 R1、R2、R3 とからなる。前記各駆動トランジスタ Q1、Q2、Q3 を選択して動作させることにより複数階調の表示を可能としている。



【特許請求の範囲】

【請求項1】 1画素分のエレクトロルミネセンス素子を複数画素分配置して表示部を構成してなるエレクトロルミネセンス表示装置において、

1画素分のエレクトロルミネセンス素子を駆動する複数の駆動トランジスタと、

前記各駆動トランジスタにそれぞれ直列接続され前記エレクトロルミネセンス素子への電流値を規制する抵抗とを備え、

前記各駆動トランジスタを選択して動作させることにより複数階調の表示を可能としたことを特徴とするエレクトロルミネセンス表示装置。

【請求項2】 前記各駆動トランジスタは実質的に同一相互コンダクタンスを備え、前記各抵抗は抵抗値がそれぞれ異なるものであることを特徴とする請求項1記載のエレクトロルミネセンス表示装置。

【請求項3】 前記各駆動トランジスタは、薄膜トランジスタであって、ゲートの幅(W)と長さ(L)の比(W/L)が等しいことを特徴とする請求項3記載のエレクトロルミネセンス表示装置。

【請求項4】 前記各駆動トランジスタはほぼ同一特性を持つことを特徴とする請求項1記載のエレクトロルミネセンス表示装置。

【請求項5】 前記各抵抗は、電流方向の長さが異なることによりその抵抗値が異なることを特徴とする請求項2記載のエレクトロルミネセンス表示装置。

【請求項6】 前記各駆動トランジスタのゲートは、コンデンサを介して電源に接続していることを特徴とする請求項1記載のエレクトロルミネセンス表示装置。

【請求項7】 前記各駆動トランジスタのゲートに接続するコンデンサは、各駆動トランジスタのゲートが延設された部分と、共通の電極から形成されていることを特徴とする請求項6記載のエレクトロルミネセンス表示装置。

【請求項8】 前記各駆動トランジスタは、夫々選択トランジスタにより選択して動作されることを特徴とする請求項1記載のエレクトロルミネセンス表示装置。

【請求項9】 前記各駆動トランジスタを選択する選択トランジスタの電流方向が同一であることを特徴とする請求項8記載のエレクトロルミネセンス表示装置。

【請求項10】 前記各駆動トランジスタの電流方向が同一であることを特徴とする請求項1記載のエレクトロルミネセンス表示装置。

【請求項11】 前記複数階調の表示は、動作させる駆動トランジスタの組み合わせにより行うことを特徴とする請求項1乃至請求項10のいずれか一項に記載のエレクトロルミネセンス表示装置。

【請求項12】 前記駆動トランジスタがポリシリコン薄膜トランジスタであることを特徴とする請求項1乃至請求項11のいずれか一項に記載のエレクトロルミネ

センス表示装置。

【請求項13】 前記エレクトロルミネセンス素子が有機エレクトロルミネセンス素子であることを特徴とする請求項1乃至請求項12のいずれか一項に記載のエレクトロルミネセンス表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は1画素のエレクトロルミネセンス素子を複数画素分配置して表示部を構成したエレクトロルミネセンス表示装置に係り、特に表示部を構成する各1画素分のエレクトロルミネセンス素子が複数の駆動トランジスタで選択的に駆動されるようにしたことにより階調表示を可能としたエレクトロルミネセンス表示装置に関する。

【0002】

【従来の技術】従来のエレクトロルミネセンス表示装置は、エレクトロルミネセンス素子からなる表示部と、当該表示部を駆動する駆動回路とから構成されているものが知られている。

【0003】このエレクトロルミネセンス表示装置における表示部は、1画素のエレクトロルミネセンス素子を複数画素分配置してなる。また、このエレクトロルミネセンス表示装置における駆動回路は、例えば特開平8-129359号公報に記載されているように、その表示部を構成する各1画素分のエレクトロルミネセンス素子を複数の駆動トランジスタで選択的に駆動できるようにしたものである。さらに、駆動回路について具体的に説明すると、複数の駆動トランジスタは並列接続されている。これら並列接続した駆動トランジスタはエレクトロルミネセンス素子に直列接続されており、さらに、これら直列接続した回路が電源に接続されている。

【0004】そして、各駆動トランジスタは、それぞれ相互コンダクタンスを異にしたもので構成されている。各駆動トランジスタには、駆動電圧を保持するラッチ回路が設けられている。これらラッチ回路は、選択トランジスタに接続されており、この選択トランジスタから供給されるアナログ駆動電圧を保持できるようになっている。

【0005】駆動トランジスタは、ラッチ回路に蓄積された駆動電圧にしたがった電流を流し、エレクトロルミネセンス素子に流れる電流値を制御している。

【0006】

【発明が解決しようとする課題】このようなエレクトロルミネセンス表示装置であるため、駆動トランジスタの特性(しきい値、移動度)がエレクトロルミネセンス素子毎にばらついていると、画素毎のエレクトロルミネセンス素子を流れる電流値にばらつきを生じ、画素によって輝度がばらつくという問題点があった。

【0007】また、各駆動トランジスタの相互コンダクタンスを個々に異ならせることは製造工程が複雑にな

り、好ましくないという問題もあった。

【0008】さらに、各駆動トランジスタのラッチ回路にアナログ駆動電圧を与えることは、そのアナログ駆動電圧を設定することについて細かい調整が必要となるという問題もあり、また、周囲温度や使用の状態により動作状態が不安定になるという問題もあった。

【0009】そこで、本発明の目的は、上述した問題点を解決し、製造工程の簡素化を図り、かつ、エレクトロルミネセンス素子に流れる電流値の調整を簡単にし、かつ、動作を安定させたエレクトロルミネセンス表示装置を提供することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、本発明に係るエレクトロルミネセンス表示装置は、1画素分のエレクトロルミネセンス素子を複数画素配置して表示部を構成してなるエレクトロルミネセンス表示装置において、1画素分のエレクトロルミネセンス素子を駆動する複数の駆動トランジスタと、前記各駆動トランジスタにそれぞれ直列接続され前記エレクトロルミネセンス素子への電流値を規制する抵抗とを備え、前記各駆動トランジスタを選択して動作させることにより複数階調の表示を可能としたことを特徴とするものである。

【0011】本発明によれば、駆動トランジスタはデジタル動作するだけであってアナログ動作させないので動作が安定しており、しかも、エレクトロルミネセンス素子に流れる電流値を抵抗によって簡単に規制させることができるため調整が容易である。

【0012】本発明の他の形態では、前記各駆動トランジスタは実質的に同一相互コンダクタンスを備え、前記各抵抗は抵抗値がそれぞれ異なるものであることを特徴としている。これにより、抵抗値の設定が容易なことから電流値の設定を確実にできる。

【0013】また、前記各駆動トランジスタは、薄膜トランジスタであって、ゲートの幅(W)と長さ(L)の比(W/L)が等しいことを特徴とする。

【0014】また、前記各駆動トランジスタはほぼ同一特性を持つことを特徴とする。これにより、各駆動トランジスタを製造する工程を同一化することができる。

【0015】また、前記各抵抗は、電流方向の長さが異なることによりその抵抗値が異なることを特徴とする。

【0016】本発明の他の形態では、前記各駆動トランジスタは、前記各駆動トランジスタのゲートが、コンデンサを介して電源に接続している。

【0017】そして、前記各駆動トランジスタのゲートに接続するコンデンサは、各駆動トランジスタのゲートが延設された部分と、電源に接続する共通の電極との間に形成されている。

【0018】また、他の形態において、前記各駆動トランジスタは、夫々選択トランジスタにより選択して動作

されることが好ましい。

【0019】本発明の他の形態では、前記各駆動トランジスタを選択する選択トランジスタの電流方向が同一であることを特徴とする。

【0020】本発明の他の形態では、前記各駆動トランジスタの電流方向が同一であることを特徴とする。

【0021】本発明の他の形態では、前記複数階調の表示は、動作させる駆動トランジスタの組み合わせにより行うことを特徴としている。

【0022】本発明の他の形態では、前記駆動トランジスタがポリシリコン薄膜トランジスタであることを特徴としている。これにより、駆動トランジスタの占有面積を縮小することができる。また、スイッチングスピードを向上させることもできる。

【0023】本発明の他の形態では、前記エレクトロルミネセンス素子が有機エレクトロルミネセンス素子であることを特徴としている。

【0024】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。

【0025】図1は、本発明の実施の形態に係るエレクトロルミネセンス表示装置を示す図である。この図1において、エレクトロルミネセンス表示装置1は、複数のエレクトロルミネセンス素子によって構成される表示部3と、この表示部3を駆動する駆動回路5とからなる。このエレクトロルミネセンス表示装置1において、表示部3は、1画素のエレクトロルミネセンス素子を複数画素配置して構成されている。この駆動回路5には、エレクトロルミネセンス素子を選択するとともに階調表示をさせる選択信号St1、St2、・・・と、画像信号Sg1、Sg2、・・・が入力されている。

【0026】この選択信号St1、St2、・・・と画像信号Sg1、Sg2、・・・の駆動信号によって各画素のエレクトロルミネセンス素子が点灯/消灯し、また、階調表示が可能になっている。

【0027】図2は、同エレクトロルミネセンス表示装置の1画素分のエレクトロルミネセンス素子と駆動回路を示す回路図である。この図2において、符号30は1画素分のエレクトロルミネセンス素子であり、エレクトロルミネセンス素子30は、図2では、タイオードとして表示されている。このエレクトロルミネセンス素子30のカソードはアースに接続されている。また、エレクトロルミネセンス素子30のアノードは、抵抗R1、R2、R3の各一端に接続されている。

【0028】また、1画素分のエレクトロルミネセンス素子30を駆動する駆動回路50は、次のように構成されている。抵抗R1の他端はポリシリコン薄膜トランジスタ(駆動トランジスタ)Q1の一方の電極(ドレイン)に、抵抗R2の他端は駆動トランジスタQ2の一方の電極(ドレイン)に、抵抗R3の他端は駆動トランジ

10

20

30

40

50

スタQ3の一方の電極（ドレイン）に、それぞれ接続されている。また、各駆動トランジスタQ1、Q2、Q3の各他方の電極（ソース）は電源Vの正極に接続されている。

【0029】駆動トランジスタQ1のゲートは、コンデンサC1を介して電源Vの正極に接続されるとともに、選択トランジスタQ4の一方の電極（ドレイン）に接続されている。

【0030】駆動トランジスタQ2のゲートは、コンデンサC2を介して電源Vの正極に接続されるとともに、選択トランジスタQ5の一方の電極（ドレイン）に接続されている。駆動トランジスタQ3のゲートは、コンデンサC3を介して電源Vの正極に接続されるとともに、選択トランジスタQ6の一方の電極（ドレイン）に接続されている。

【0031】また、選択トランジスタQ4のゲートには選択信号St1が、選択トランジスタQ5のゲートには選択信号St2が、選択トランジスタQ6のゲートには選択信号St3がそれぞれ供給されるようになっている。また、選択トランジスタQ4の他方の電極（ソース）には画像信号Sg1が、選択トランジスタQ5の他方の電極（ソース）には画像信号Sg2が、選択トランジスタQ6の他方の電極（ソース）には画像信号Sg3が、それぞれ供給されるようになっている。

【0032】このように上記駆動回路50は、1画素分のエレクトロルミネセンス素子30を駆動する複数の駆動トランジスタQ1、Q2、Q3と、前記各駆動トランジスタQ1、Q2、Q3にそれぞれ直列接続され前記エレクトロルミネセンス素子30への電流値を規制する抵抗R1、R2、R3とを備えたものである。選択トランジスタQ4、Q5、Q6は、選択信号St1、St2、St3、画像信号Sg1、Sg2、Sg3によって選択されて動作し、前記各駆動トランジスタQ1、Q2、Q3を作動させるようになっている。

【0033】また、上記各駆動トランジスタQ1、Q2、Q3は、ほぼ同一特性、特にほぼ同一相互コンダクタンスを備えたもので構成すればよい。すなわち、各駆動トランジスタQ1、Q2、Q3は、薄膜トランジスタとして製造するときに、ゲートの幅（W）とゲートの長さ（L）との比（W/L）を等しくすることにより、相互コンダクタンスをほぼ等しいものとする。また、前記各抵抗R1、R2、R3は、抵抗値がそれぞれ異なるもので構成している。

【0034】このような構造のエレクトロルミネセンス

表示装置の1画素分の回路の動作を説明する。

【0035】選択信号St1、St2、St3が3つ同時にオンになると、選択トランジスタQ4、Q5、Q6が選択される。一方、当該選択信号に同期してハイ（「H」）またはロー（「L」）のデジタル画像信号Sg1、Sg2、及び／又はSg3を選択トランジスタQ4、Q5、Q6に供給すると、対応する選択トランジスタを通じてコンデンサC1、コンデンサC2、及び／又はコンデンサC3に電荷が蓄積され、「H」または「L」が保持される。

【0036】そのコンデンサC1、コンデンサC2、及び／又はコンデンサC3に保持された電圧により、駆動トランジスタQ1、Q2、及び／又はQ3のゲートに電圧がかかり、対応する駆動トランジスタはオン状態になる。そして、電源Vの正極から駆動トランジスタQ1、Q2、及び／又はQ3を通り、抵抗R1、R2、及び／又はR3を通してエレクトロルミネセンス素子30に電圧が供給されて、エレクトロルミネセンス素子30に電流が流れる。この電流値は、抵抗R1、R2、及びR3によって規制される。

【0037】そして、駆動回路50は駆動トランジスタQ1、Q2、Q3の3個を備えていることから、駆動トランジスタQ1、Q2、Q3のオン状態を選択することにより、オンさせる駆動トランジスタの組み合わせを 2^3 （＝8）通り形成することができる。これにより、 2^3 （＝8）通りの電流値をエレクトロルミネセンス素子30に流すことができる。これにより、エレクトロルミネセンス素子30を8通りの階調に発光させることができる。

【0038】ここで、抵抗R1、R2、R3の値と、駆動トランジスタQのオン抵抗をrとし、エレクトロルミネセンス素子30は電流値に比例した輝度で点灯するものとする、例えば、

$$(R1 + r) : (R2 + r) : (R3 + r) = 1 : 2 : 4$$

となるように設定する。

【0039】したがって、駆動トランジスタQ1、Q2、Q3をオンとする組み合わせを表1のようにすることにより、エレクトロルミネセンス素子30に流す電流を8段階に制御することができる。すなわち、エレクトロルミネセンス素子30を8階調の輝度で表示させることができる。

【0040】

【表1】

電流比	Q1	Q2	Q3
1	オン	オン	オン
6/7	オン	オン	オフ
5/7	オン	オフ	オン
4/7	オン	オフ	オフ
3/7	オフ	オン	オン
2/7	オフ	オン	オフ
1/7	オフ	オフ	オン
0	オフ	オフ	オフ

これら駆動トランジスタQ1、Q2、Q3を駆動する信号は、画像信号Sg1、Sg2、Sg3により各画素に供給される。

【0041】なお、以上の回路動作の説明は、選択信号St1、St2、St3が3つ同時にオンになった場合、即ち選択トランジスタQ4、Q5、Q6が同時に選択された場合を取り上げたが、これに限らず、選択トランジスタQ4、Q5、Q6の選択時間をずらし、画像信号Sg1、Sg2、Sg3との組み合わせのバリエーションにより、種々の信号電圧の与え方も可能である。

【0042】次に、上記エレクトロルミネセンス表示装置1の回路構成を基板上に実現するための素子構造について説明する。図3は、エレクトロルミネセンス表示装置の1画素分の素子配置の一例を平面的に示した図である。

【0043】図3に示されるように、エレクトロルミネセンス表示装置1は全体として略長方形の平面形状を備えている。このエレクトロルミネセンス表示装置1のうち図示右側の領域に、エレクトロルミネセンス素子からなる逆L字状のEL領域が配されている。当該EL領域の上面全体は、電極（陰極）に覆われている。

【0044】EL領域は、その下面全体を、ITOからなる透明電極に覆われている。透明電極ITOは、アルミニウムの配線AL4を介してコンタクトホールh1～h3に接続され、抵抗R1、R2、R3の各一端に接続されている。これらの抵抗はポリシリコンからなり、抵抗の電流方向の長さを各抵抗間で異なるようにして、抵抗値が異なるようになっている。具体的には、抵抗R3が最も長く、抵抗R2がこれに次ぎ、抵抗R1が最も短くなっている。これらの抵抗は、エレクトロルミネセンス表示装置1のうち図示中央部上半分の領域に配され、抵抗R3は最も外側に、抵抗R2はその次に、R1は最

も内側に配されている。

【0045】抵抗R1、R2、R3の各他端は、コンタクトホールh4～h6を介してアルミ配線AL1～AL3に接続され、それぞれコンタクトホールh7～h9を介して、駆動トランジスタQ1、Q2、Q3の各一端（ドレイン）に接続されている。各駆動トランジスタは、ソース及びドレイン領域をポリシリコンで形成したポリシリコン薄膜トランジスタである。3つの抵抗R1、R2、R3の長さが異なっているので、駆動トランジスタQ1、Q2、Q3は図示左右方向に互いにずれた位置に配されている。そして、いずれも同一の電流方向、即ちトランジスタ内でキャリアの流れる方向が同一となるように配されている。

【0046】駆動トランジスタQ1、Q2、Q3の各他方の電極（ソース）は、コンタクトホールh9～h12を介して各トランジスタに共通のアルミニウム電極（陽極AL5）に接続されている。更に、駆動トランジスタQ1、Q2、Q3の各ゲートg1、g2、g3は、上記共通のアルミニウム電極AL5との間に、それぞれ容量C1、C2、C3を形成している。駆動トランジスタQ1、Q2、Q3の各ゲートg1、g2、g3は、更に、コンタクトホールh13～h15及びコンタクトホールh16～h18を介してそれぞれ選択トランジスタQ4、Q5、Q6の各一端（ドレイン）に接続されている。ここで、駆動トランジスタQ1、Q2、Q3が図示左右方向に互いにずれた位置にあるため、各駆動トランジスタのゲートから選択トランジスタQ4、Q5、Q6のドレインに対する接続線は、そのまま直線的に図示下方に伸ばすだけで、互いに重なることなく各選択トランジスタに接続することができる。

【0047】選択トランジスタQ4、Q5、Q6の各他端（ソース）は、それぞれコンタクトホールh19～h

21を介して画像信号Sg1, Sg2, Sg3の信号線に接続される。選択トランジスタQ4, Q5, Q6の各ゲートは、それぞれ選択信号St1, St2, St3を供給する各走査線に接続される。

【0048】図4は、図3のA-A'線断面図である。ガラス基板41上には、例えばSiO₂からなる下地酸化膜42が積層される。

【0049】その上には、ポリシリコン領域43が形成され、当該領域の図示左側の部分は駆動トランジスタQ3のソース及びドレインを構成し、図示右側の部分は電

流制御のための抵抗R3を構成する。

【0050】下地酸化膜42及びポリシリコン領域43の上には、絶縁膜の層44が形成されている。この絶縁膜の上には駆動トランジスタQ3のゲート端子g3が配され、更にその上にも、当該ゲート端子g3を包み込むように絶縁膜45が形成されている。

【0051】また、絶縁膜44及び45は一部がエッチングされ、その上に、アルミ配線AL4、アルミ配線AL3及びアルミ電極AL5を構成するアルミ層46が形成される。その上面を絶縁膜47が覆い、さらにその上

面には、ITOでなる透明電極が、抵抗R3を構成するポリシリコン領域43と、アルミ層46を通じて接続しつつ、上記駆動トランジスタQ3や抵抗R3と重ならないように図示右側の領域に延在する。この透明電極ITOの上面に、エレクトロルミネセンス素子EL及び絶縁膜48が積層されている。このエレクトロルミネセンス素子及び絶縁膜48の上面全体にわたって、陰極の層49が形成されている。

【0052】なお、この実施例では、抵抗R3と駆動トランジスタQ3のドレインとの接続部は、それぞれの端部に別個のコンタクトホールh6及びh9を設け、これらコンタクトホール間をアルミニウム配線AL3で接続している。これに対する変形例として、コンタクトホールh6、h9、アルミニウム配線AL3を設けることなく、抵抗R3が直接駆動トランジスタQ3のドレインに接続されるようにポリシリコン層43がつながれた設計とすることもできる。抵抗R2と駆動トランジスタQ2、抵抗R1と駆動トランジスタQ1の接続部も、同様にポリシリコン層を直接つなげることができる。これにより、駆動回路のスペースを節減することができる。

【0053】本発明の実施の形態によれば、次のような利点がある。

【0054】(1) 各駆動トランジスタQ1, Q2, Q3はデジタル動作するだけであってアナログ動作させないので動作が安定している。

【0055】(2) エレクトロルミネセンス素子に流れる電流値は抵抗によって簡単に規制させることができるため調整が容易である。

【0056】(3) 前記各駆動トランジスタはほぼ同一特性を持つもので構成したので、駆動トランジスタを製

造する工程が同一の製造工程ですむ。

【0057】(4) 前記駆動トランジスタはポリシリコン薄膜トランジスタで構成したので、占有面積が少なくて済み、駆動回路全体を小型化することができる。また、スイッチングスピードを向上させることもできる。

【0058】なお、上記回路の説明は、1画素分のエレクトロルミネセンス素子30について説明したが、表示部を構成する他のエレクトロルミネセンス素子についても全く同様に動作する。

【0059】また、上記実施の形態では、エレクトロルミネセンス素子は電流値に比例して輝度に変化するものとして説明したが、もちろん、輝度が電流値に比例しないものがあり、この場合には、輝度の階調が表れるように電流設定すればよい。

【0060】さらに、上記実施の形態では、駆動トランジスタQ1, Q2, Q3の3個で構成したが、階調数が少なくてもよければ2つの駆動トランジスタで構成してもよいし、さらに多くの階調を得たい場合には駆動トランジスタを4つ以上で構成すればよい。

【0061】上記実施の形態では、エレクトロルミネセンス素子として、例えば、有機エレクトロルミネセンス素子を用いることができる。

【0062】

【発明の効果】本発明によれば、各駆動トランジスタQ1, Q2, Q3はデジタル動作するだけであってアナログ動作させないので動作が安定しており、また、エレクトロルミネセンス素子に流れる電流値は抵抗によって簡単に規制させることができるため調整が容易であり、さらに、前記各駆動トランジスタはほぼ同一特性を持つもので構成したので、駆動トランジスタを製造する工程が同一の製造工程ですむという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の形態によるエレクトロルミネセンス表示装置を示すブロック図である。

【図2】同実施の形態によるエレクトロルミネセンス表示装置の1画素分のエレクトロルミネセンス素子と駆動回路とを示す回路図である。

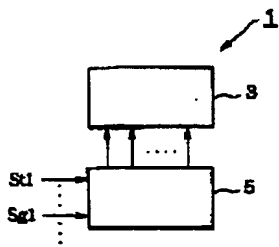
【図3】上記エレクトロルミネセンス表示装置の1画素分の素子配置の一例を平面的に示した図である。

【図4】図3のA-A'線断面図である。

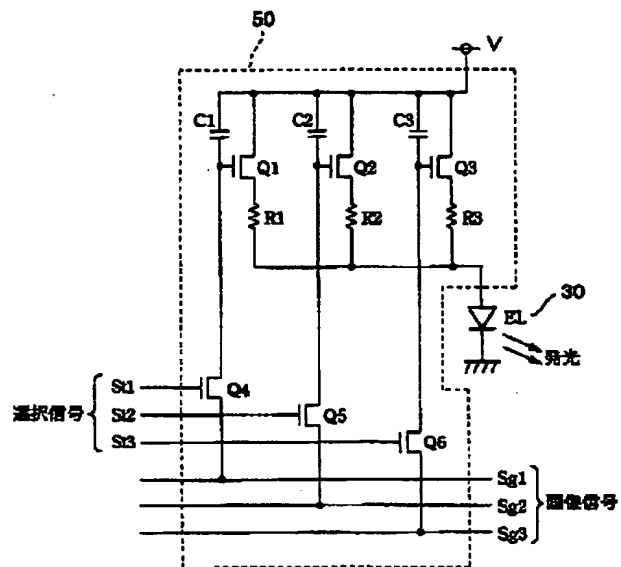
【符号の説明】

- 1 エレクトロルミネセンス表示装置
- 3 表示部
- 5 駆動回路
- 30 1画素分のエレクトロルミネセンス素子
- 50 1画素分の駆動回路
- Q1, Q2, Q3 駆動トランジスタ
- Q4, Q5, Q6 選択トランジスタ
- R1, R2, R3 抵抗

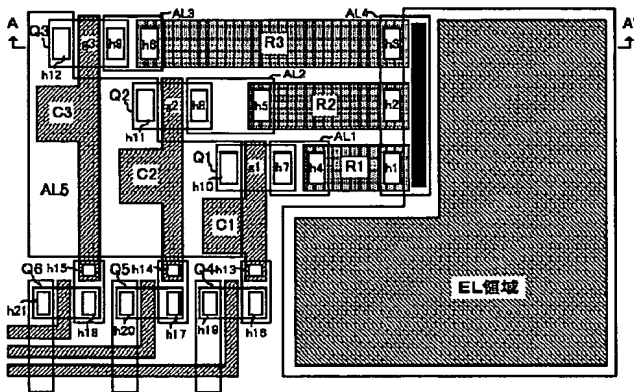
【図1】



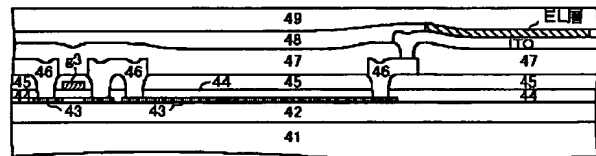
【図2】



【図3】



【図4】



THIS PAGE BLANK (USPTO)